

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-058238

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2000-239672

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.08.2000

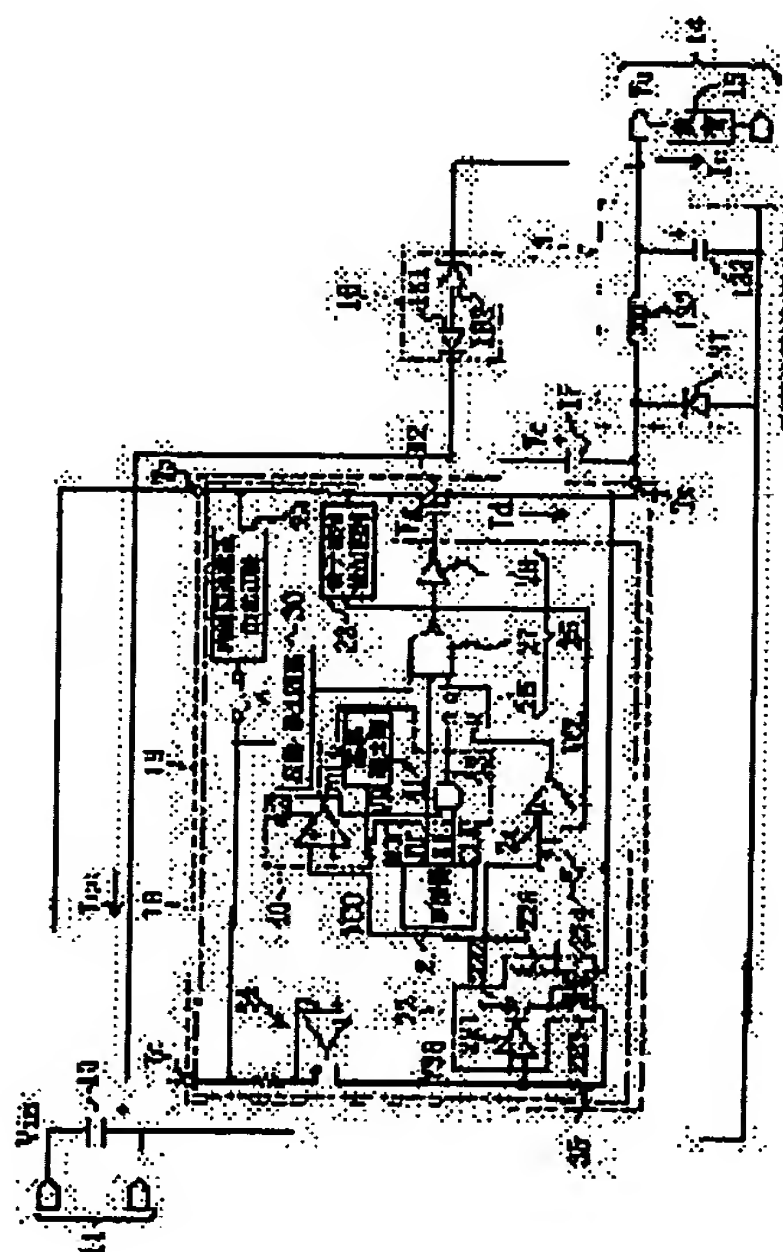
(72)Inventor : KUNIMATSU TAKASHI  
YATANI YOSHIKI  
TAKADA KOJI  
SHIOMI AKIRA  
TAKAHASHI OSAMU  
MORI YOSHIHIRO  
YAMANISHI YUJI

## (54) SWITCHING POWER SUPPLY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance the power efficiency during light load by reducing the switching loss during light load thereby reducing the power consumption.

**SOLUTION:** A control circuit 18 has a feedback voltage converting circuit 22 which has a feedback signal  $I_{cc}$  inputted from an output voltage detecting circuit 22, and converts it into a feedback voltage signal VCO changing in the opposite direction to its increase and decrease and outputs it, an element current detecting circuit 23 which detects a drain current  $I_d$  and outputs it as an element current detection signal VCL, and a comparator 24 for element current detection which compares the feedback voltage signal VCO with the element current detection signal VCL. Furthermore, it has a light load detecting circuit 40 which stops a switching signal control circuit 25 from outputting a switching signal to a switching element 12 in the case that the feedback voltage signal VCO is lower than the lower limit value, and starts it outputting a switching signal to the switching signal control circuit 25 in the case that the feedback voltage signal VCO is larger than the upper limit value.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-58238  
(P2002-58238A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl.<sup>7</sup>  
H02M 3/155

識別記号

FI  
H02M 3/155テーマコード(参考)  
H 5H730

審査請求 未請求 請求項の数9 OL (全11頁)

(21)出願番号 特願2000-239672(P2000-239672)

(22)出願日 平成12年8月8日(2000.8.8)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 國松 崇

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72)発明者 八谷 佳明

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

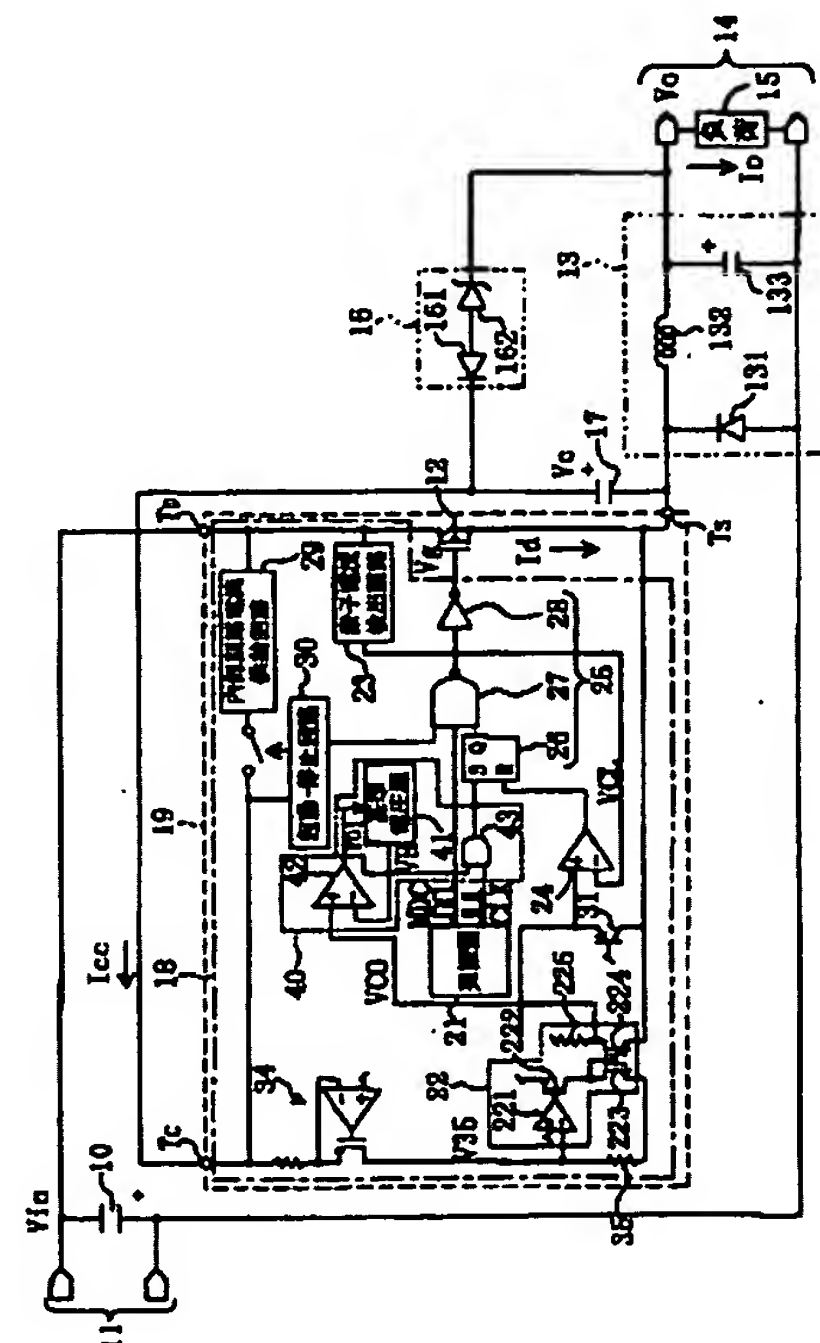
最終頁に続く

(54)【発明の名称】 スイッチング電源装置

(57)【要約】

【課題】 軽負荷時のスイッチング損失を減らして消費電力を削減し、軽負荷時の電源効率を向上できるようにする。

【解決手段】 制御回路18は、出力電圧検出回路32からの帰還信号 $I_{cc}$ が入力され、その増減と反対の向きに変化する帰還電圧信号 $V_{CO}$ に変換して出力する帰還電圧変換回路22と、ドレイン電流 $I_d$ を検出し素子電流検出信号 $V_{CL}$ として出力する素子電流検出回路23と、帰還電圧信号 $V_{CO}$ と素子電流検出信号 $V_{CL}$ とを比較する素子電流検出用比較器24とを有している。さらに、帰還電圧信号 $V_{CO}$ が下限値よりも小さい場合にはスイッチング信号制御回路25に対してスイッチング素子12へのスイッチング信号の出力を停止し、帰還電圧信号 $V_{CO}$ が上限値よりも大きい場合にはスイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40を有している。



(2)

## 【特許請求の範囲】

【請求項1】 入力端子に第1の直流電圧を受けるスイッチング素子と、

前記スイッチング素子からの出力信号を受け、前記第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する電圧変換回路と、  
前記スイッチング素子の動作を制御する制御回路と、  
前記第2の直流電圧の電圧値を検出し、検出した検出信号を前記制御回路に帰還信号として出力する出力電圧検出回路と、

陽極が前記出力電圧検出回路の出力側に接続され、陰極が前記スイッチング素子の出力側に接続され、前記制御回路用の電源電圧を生成する制御回路用電源コンデンサとを備え、

前記制御回路は、

前記スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、

前記スイッチング素子を流れる電流を検出し、素子電流検出信号として出力する電流検出回路と、

前記電源電圧に含まれる前記帰還信号を検出し、検出した帰還信号をその増減と反対の向きに変化する帰還電圧信号に変換して出力する帰還電圧変換回路と、

前記素子電流検出信号と前記帰還電圧信号とを比較し、比較した比較信号を出力する比較器と、

前記比較信号に基づいて前記スイッチング信号の出力を制御するスイッチング信号制御回路と、

前記帰還電圧信号が下限電圧値よりも小さい場合には前記スイッチング信号制御回路に対して前記スイッチング素子への前記スイッチング信号の出力を停止し、前記帰還電圧信号が上限電圧値よりも大きい場合には前記スイッチング信号制御回路に対して前記スイッチング信号の出力を開始する軽負荷検出回路とを有していることを特徴とするスイッチング電源装置。

【請求項2】 前記上限電圧の値は、前記素子電流検出信号における振幅の最大値の約20%であり、前記下限電圧の値は、前記素子電流検出信号における振幅の最大値の約15%であることを特徴とする請求項1に記載のスイッチング電源装置。

【請求項3】 前記軽負荷検出回路は、前記下限電圧又は前記上限電圧の値を可変に設定する検出電圧可変手段を有していることを特徴とする請求項1又は2に記載のスイッチング電源装置。

【請求項4】 前記制御回路の基準電位は、スイッチング素子の出力端子と同電位であり、  
前記制御回路は、前記スイッチング信号がオフ状態の場合に、前記第2の直流電圧を検出することを特徴とする請求項1～3のうちのいずれか1項に記載のスイッチング電源装置。

【請求項5】 前記出力電圧検出回路は出力電圧設定素子とダイオードとの直列接続回路を含むことを特徴とす

る請求項1～4のうちのいずれか1項に記載のスイッチング電源装置。

【請求項6】 前記第2の直流電圧の極性は負極性であることを特徴とする請求項1～5のうちのいずれか1項に記載のスイッチング電源装置。

【請求項7】 前記第1の直流電圧の値はほぼ100V以上であり、前記第2の直流電圧の値はほぼ25V以下であることを特徴とする請求項1～5のうちのいずれか1項に記載のスイッチング電源装置。

【請求項8】 前記スイッチング素子及び前記制御回路は、

前記スイッチング素子の入力端子及び出力端子、並びに前記制御回路における前記制御回路用電源コンデンサの陽極側の入力端子が外部接続端子となるように一つのパッケージに收容されていることを特徴とする請求項1～7のうちのいずれか1項に記載のスイッチング電源装置。

【請求項9】 前記スイッチング素子及び前記制御回路は、

前記スイッチング素子の入力端子及び出力端子、並びに前記制御回路における前記制御回路用電源コンデンサの陽極側の入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることを特徴とする請求項1～8のうちのいずれか1項に記載のスイッチング電源装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源装置に関し、特に、軽負荷時の消費電力を削減できる降圧型チョッパ方式のスイッチング電源装置に関する。

【0002】

【従来の技術】図6は特開平10-191625号公報に記載されている従来のスイッチング電源装置の回路構成を示している。図6に示す従来のスイッチング電源装置は、主入力端子101に印加される正極性の直流電圧をN型MOSFETからなるスイッチング素子102及び電圧変換回路103により所定の電圧値にまで降下して主出力端子104に出力する降圧型チョッパ方式のスイッチング電源装置である。

【0003】スイッチング電源装置は、スイッチング素子102のソースと出力電圧検出回路105の出力側との間に並列に接続された制御回路用電源コンデンサ106により生成される電源電圧 $V_c$ によって駆動される制御回路107を有しており、スイッチング素子102は制御回路107から出力される制御信号 $V_g$ により制御される。また、電源電圧 $V_c$ は出力電圧検出回路105から出力される制御電流 $I_c$ によって変動する。

【0004】以下、前記のように構成されたスイッチング電源装置の動作の概略を説明する。図7は図6に示すスイッチング電源装置の各部における電流電圧波形を示



(3)

3  
している。

【0005】まず、制御回路107が起動するまでの間は、電源切替ブロック108は起動用電源ブロック109と制御回路用電源コンデンサ106とを接続するように閉じている。

【0006】次に、主入力端子101に入力電圧 $V_{in}$ が印加されると、起動用電源ブロック109から電源切替ブロック108を介して制御回路用電源コンデンサ106に電流が流れ、制御回路107の電源電圧 $V_c$ が上昇する。この電源電圧 $V_c$ の値が制御回路107の起動電圧値に達すると、制御回路107が動作する。このとき、主出力端子104に印加される出力電圧 $V_o$ は0Vである。

【0007】制御回路107が動作を開始すると、制御回路107を構成する三角波生成回路110により生成された三角波キャリア信号電圧と、制御回路107の電源電圧 $V_c$ を抵抗分割した電圧とが比較器111によって比較される。

【0008】比較器111から出力される比較信号がPWM（パルス幅変調）パルス生成回路112に入力され、その結果、図7に示す制御信号 $V_g$ がスイッチング素子102の制御端子に印加される。この制御信号 $V_g$ は所定の時間幅でオンになり、この時間幅は電源電圧 $V_c$ によって可変となる。制御信号 $V_g$ がオンの間にスイッチング素子102がオン状態となり、スイッチング素子102を流れるドレイン電流 $I_p$ が電圧変換回路103のコイルに流れ込む。

【0009】次に、スイッチング素子102が制御回路107の制御信号 $V_g$ によってオフ状態にされると、電圧変換回路103のダイオードを通して、コイルに蓄えられた電気エネルギーが主出力端子104に供給される。ここで、主出力端子104の出力電圧が上昇して、制御回路107の電源電圧 $V_c$ 、電圧変換回路103のダイオードの順方向電圧 $V_f$ 、出力電圧検出回路105のダイオードの順方向電圧 $V_f$ 及び出力電圧検出回路105のツェナーダイオードの降伏電圧 $V_z$ の各電圧値の合計（ $V_c + V_f - V_f + V_z = V_c + V_z$ ）よりも大きくなると、スイッチング素子102がオフ状態の間に、主出力端子104のハイレベル側の端子から出力電圧検出回路105のダイオード及びツェナーダイオードを通して制御回路用電源コンデンサ106に制御電流 $I_c$ が流れ込み、制御回路107に出力電圧 $V_o$ の値がフィードバックされる。ここで、制御回路107の電源電圧 $V_c$ が十分に高くなると、電源切替ブロック108により、主出力端子104から制御回路107に電源電圧 $V_c$ が供給されるように切り替えられる。

【0010】次に、三角波生成回路110により生成された三角波キャリア信号電圧と、電源電圧 $V_c$ を抵抗分割した電圧とを比較器111で比較して、1つの三角波、すなわち、1つのキャリアにおけるスイッチング素

4  
子102のオンデューティがPWMパルス生成回路112により決定され、これにより、スイッチング素子102に印加されるパルス幅が決まる。

【0011】このように、従来のスイッチング電源装置は、スイッチング素子102のデューティ比を、出力電圧 $V_o$ をフィードバックし可変制御して、主出力端子104の電圧の精度を向上させることにより、主出力端子104の出力電圧 $V_o$ を所定値となるように調節している。

【0012】

【発明が解決しようとする課題】しかしながら、前記従来のスイッチング電源装置は、待機時等の軽負荷又は無負荷時にはスイッチング素子102に流れるドレイン電流 $I_p$ が小さくなるものの、このドレイン電流 $I_p$ を0にすることはできないため、軽負荷時でもある程度の電流が流れる。このため、軽負荷時であっても、スイッチング素子102にスイッチングによる損失が発生し、負荷が軽くなる程このスイッチング素子102における損失の割合が大きくなる。その結果、電源効率が低下するので、電源の待機時の省電力化を図れないという問題を有している。

【0013】本発明は、前記従来の問題を解決し、軽負荷時のスイッチング損失を減らして消費電力を削減し、チョッパ方式スイッチング電源における軽負荷時の電源効率を向上できるようにすることを目的とする。

【0014】

【課題を解決するための手段】前記の目的を達成するため、本発明は、スイッチング電源装置を、出力電圧を検出する出力電圧検出回路により検出され且つスイッチング素子を制御する制御回路に帰還して生成される該制御回路の電源電圧に基づいて、スイッチング素子に対するスイッチング信号の出力を停止する構成とする。

【0015】具体的に、本発明に係るスイッチング電源装置は、入力端子に第1の直流電圧を受けるスイッチング素子と、スイッチング素子からの出力信号を受け、第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する電圧変換回路と、スイッチング素子の動作を制御する制御回路と、第2の直流電圧の電圧値を検出し、検出した検出信号を制御回路に帰還信号として出力する出力電圧検出回路と、陽極が出力電圧検出回路の出力側に接続され、陰極がスイッチング素子の出力側に接続され、制御回路用の電源電圧を生成する制御回路用電源コンデンサとを備え、制御回路は、スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、スイッチング素子を流れる電流を検出し、素子電流検出信号として出力する電流検出回路と、電源電圧に含まれる帰還信号を検出し、検出した帰還信号をその増減と反対の向きに変化する帰還電圧信号に変換して出力する帰還電圧変換回路と、素子電流検出信号と帰還電圧信号とを比較し、比較した比較信号

50

(4)

5  
を出力する比較器と、比較信号に基づいてスイッチング信号の出力を制御するスイッチング信号制御回路と、帰還電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止し、帰還電圧信号が上限電圧値よりも大きい場合にはスイッチング信号制御回路に対して前記スイッチング信号の出力を開始する軽負荷検出回路とを有している。

【0016】本発明のスイッチング電源装置によると、軽負荷時には消費される電流が減少して、装置の出力電圧である第2の直流電圧が上昇すると、該第2の直流電圧の電圧値を検出する出力電圧検出回路から制御回路に帰還する電流量が増えて、制御回路の電源電圧が上昇する。このとき、帰還電圧変圧回路は、電源電圧に含まれる帰還信号を検出し、検出した帰還信号をその増減と反対の向きに変化する帰還電圧信号に変換して出力するため、帰還電圧信号の電圧値は低下する。一方、この帰還電圧信号を受ける軽負荷検出回路は、帰還電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止するため、スイッチング素子における損失が減り、軽負荷時の消費電力を削減できるので、チョップ方式のスイッチング電源装置の電源効率を向上することができる。

【0017】本発明のスイッチング電源装置において、上限電圧の値が素子電流検出信号における振幅の最大値の約20%であり、下限電圧の値が素子電流検出信号における振幅の最大値の約15%であることが好ましい。ここで、帰還電圧信号が下限電圧値よりも大きくなると、軽負荷検出回路は、直ちにスイッチング信号制御回路に対してスイッチング信号の出力を開始してしまうため、スイッチング信号の出力停止期間をほとんど設定できなくなる。しかしながら、上限電圧値と下限電圧値とに前述の5%程度の差を設けておくと、帰還電圧信号が上限電圧値を超えるまでに時間的な余裕（ヒステリシス特性）が生じることにより、スイッチング信号の出力停止期間を確実に設定することができる。その上、下限電圧値を素子電流検出信号における振幅の最大値の15%程度に設定することにより、スイッチング動作の停止期間を確保できる。

【0018】本発明のスイッチング電源装置において、軽負荷検出回路が下限電圧又は上限電圧の値を可変に設定する検出電圧可変手段を有していることが好ましい。このようにすると、待機時の負荷電流値を最適化できるため、本電源装置を組み込むシステムの選択肢を増やすことができる。

【0019】本発明のスイッチング電源装置において、制御回路の基準電位がスイッチング素子の出力端子と同電位であり、制御回路が、スイッチング信号がオフ状態の場合に、第2の直流電圧を検出することが好ましい。

6  
このようにすると、高速スイッチング周波数による制御が容易となり、出力電圧である第2の直流電圧を高精度に制御できるようになる。また、制御回路の基準電位がスイッチング素子の出力端子と同電位であるため、制御回路とスイッチング素子との1チップ化をも容易に行なえるようになる。

【0020】本発明のスイッチング電源装置において、出力電圧検出回路が出力電圧設定素子とダイオードとの直列接続回路を含むことが好ましい。このようにすると、例えばツェナーダイオード等からなる出力電圧設定素子を交換するだけで、第2の直流電圧値の設定又は変更を容易に行なえるようになるため、リニアレギュレータのように使いやすく汎用的な電源装置を実現できる。

【0021】本発明のスイッチング電源装置において、第2の直流電圧の極性が負極性であることが好ましい。このようにすると、負極性の制御電圧源を必要とするシステムにも対応できるようになる。

【0022】本発明のスイッチング電源装置において、第1の直流電圧の値がほぼ100V以上であり、第2の直流電圧の値がほぼ25V以下であることが好ましい。このようにすると、入力電圧である第1の直流電圧が商用交流電源が変換されて入力される場合に、低コスト化、小型化及び高性能化がより顕著となる。

【0023】本発明のスイッチング電源装置において、スイッチング素子及び制御回路が、スイッチング素子の入力端子及び出力端子、並びに制御回路における制御回路用電源コンデンサの陽極側の入力端子が外部接続端子となるように一つのパッケージに収容されていることが好ましい。このようにすると、電源装置の部品点数を削減できると共に、スイッチング電源装置のサイズを小型化できる。

【0024】本発明のスイッチング電源装置において、スイッチング素子及び制御回路が、スイッチング素子の入力端子及び出力端子、並びに制御回路における制御回路用電源コンデンサの陽極側の入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることが好ましい。このようにすると、スイッチング素子及び制御回路を1チップ化できるため、電源装置の部品点数を大幅に削減でき、そのサイズをより一層小型化できる。

【0025】

【発明の実施の形態】本発明の一実施形態について図面を参照しながら説明する。

【0026】図1は本発明の一実施形態に係るスイッチング電源装置の概略的な回路構成を示している。図1に示すように、本実施形態に係るスイッチング電源装置は、主入力端子11に印加される正極性の第1の直流電圧である入力電圧 $V_{in}$ を、N型パワーMOSFETからなるスイッチング素子12及び電圧変換回路13により所定の電圧値の第2の直流電圧である出力電圧 $V_o$ にま



(5)

7

で降下して主出力端子14に出力する降圧型チョッパ方式のスイッチング電源装置である。

【0027】主入力端子11のハイレベル側とローレベル側との間には入力電圧 $V_{in}$ を平滑化する平滑コンデンサ10が接続されている。主出力端子14のハイレベル側とローレベル側との間には所定の負荷15が接続され、該負荷15には負荷電流 $I_o$ が流れる。

【0028】本スイッチング電源装置は、スイッチング素子12の出力端子であるソースと、出力電圧検出回路16の出力側との間に並列に接続された制御回路用電源コンデンサ17により生成される電源電圧 $V_c$ によって駆動される制御回路18を有しており、スイッチング素子12は、制御回路18から出力される制御信号 $V_g$ によって制御される。すなわち、スイッチング素子12のソースと制御回路18との基準電位は同電位となるため、スイッチング素子12は電源電圧 $V_c$ によって実質的に制御されることになる。また、この電源電圧 $V_c$ は出力電圧検出回路16から出力される制御電流である帰還信号 $I_{cc}$ によって変動する構成である。

【0029】電圧変換回路13は、陽極が主出力端子14のローレベル側と接続され、陰極が主出力端子14のハイレベル側と接続された第1のダイオード131と、該第1のダイオード131の陰極と主出力端子14のハイレベル側との間に直列に接続されたコイル132と、陰極が主出力端子14のローレベル側と接続され、陽極がコイル132の出力側と接続されたコンデンサ133とから構成されている。

【0030】出力電圧検出回路16は、互いの陽極同士を直列に接続した第2のダイオード161と出力電圧設定素子としてのツェナーダイオード162とからなり、第2のダイオード161の陰極は制御回路用電源コンデンサ17の陽極と接続され、ツェナーダイオード162の陰極は主出力端子14のハイレベル側と接続されている。

【0031】また、本スイッチング電源装置は、スイッチング素子12と制御回路18とが一体化可能な構成、例えば、1つのパッケージに収容したり、半導体基板上にモノリシックに形成したりできる構成である。図1に符号19として破線で囲まれた領域が一体に形成することが可能な一体化形成領域であって、該一体化形成領域19の端部には、スイッチング素子12のドレインと接続されるドレイン端子 $T_D$ と、スイッチング素子12のソースと接続されるソース端子 $T_S$ と、制御回路用電源コンデンサ17の陽極と接続される制御端子 $T_c$ との少なくとも3つの外部接続端子となる入出力端子が設けられている。

【0032】なお、1つのパッケージに収容する場合には、スイッチング素子12と制御回路18とは、必ずしも1つの半導体基板上に形成されていなくてもよく、それぞれ別の基板上に形成されていてもよい。

8

【0033】制御回路18は、スイッチング素子12に印加される、発振信号周波数が100kHz程度のスイッチング信号を生成して出力する発振器21と、出力電圧検出回路32から帰還される帰還信号 $I_{cc}$ が抵抗器及びシャントレギュレータ34を介して入力され、その増減と反対の向きに変化する帰還電圧信号 $V_{CO}$ に変換して出力する帰還電圧変換回路22と、スイッチング素子12を流れるドレイン電流 $I_d$ を検出し、検出したドレイン電流 $I_d$ を電圧に変換し、素子電流検出信号 $V_{CL}$ として出力する素子電流検出回路23と、帰還電圧信号 $V_{CO}$ と素子電流検出信号 $V_{CL}$ とを比較し、比較した比較信号を出力する素子電流検出用比較器24と、比較信号に基づいてスイッチング信号の電流量及び出力を制御するスイッチング信号制御回路25と、帰還電圧信号 $V_{CO}$ が下限電圧値よりも小さい場合にはスイッチング信号制御回路25に対してスイッチング素子12へのスイッチング信号の出力を停止し、帰還電圧信号 $V_{CO}$ が上限電圧値よりも大きい場合にはスイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40とを有している。

【0034】さらに、制御回路18は、スイッチング素子12のドレイン端子 $T_D$ と制御回路18の制御端子 $T_c$ との間に接続され且つ制御回路18に対して起動用の電流を供給する内部回路電流供給回路29と、該内部回路電流供給回路29の出力側とスイッチを介して接続され、制御回路18の起動又は停止時にスイッチング信号制御回路25の動作を制御する起動・停止回路30とを有している。

【0035】帰還電圧変換回路22は、逆相端子に帰還信号 $I_{cc}$ によりゲイン調整用抵抗器35に生じるゲイン調整用抵抗発生電圧 $V_{35}$ を受け、正相端子に基準電圧を受ける比較器221と、ゲートに比較器221の出力信号を受けるP型MOSFET222と、ゲート及びドレインにP型MOSFET222の出力電圧を受ける第1のN型MOSFET223と、該第1のN型MOSFET223とゲートを共有する第2のN型MOSFET224とを含んでいる。抵抗器225を介して電源電圧を受ける第2のN型MOSFET224のドレインは、帰還電圧信号 $V_{CO}$ の出力端子であり、第1のN型MOSFET223及び第2のN型MOSFET224のソースはソース端子 $T_S$ とそれぞれ接続されている。

【0036】スイッチング信号制御回路25は、セット端子 $S$ に軽負荷検出回路40の出力信号を受け、リセット端子 $R$ に素子電流検出用比較器24の出力信号を受けるRSフリップフロップ回路26と、第1の入力端子に起動・停止回路30の出力信号を受け、第2の入力端子に発振器21からの最大デューティサイクル信号 $MDC$ を受け、第3の入力端子にRSフリップフロップ回路26からの出力信号を受けるNAND回路27と、NAND回路27の出力信号を受け、受けた出力信号を反転増

(6)

9

幅した制御信号 $V_g$ を出力するインバータからなるゲートドライバ28とから構成されている。

【0037】帰還電圧変換回路22の入力端子とスイッチング素子12のソース端子 $T_s$ との間には、帰還電圧変換回路22のためのゲイン調整用抵抗器35が接続されている。

【0038】また、シャントレギュレータ34は、ソースに帰還信号 $I_{cc}$ が降圧された電圧を受け、ドレインがゲイン調整用抵抗器35と接続されたP型MOSFETと、逆相端子にP型MOSFETのソース電位を受け、正相端子に基準電圧を受け、比較結果をP型MOSFETのゲートに出力する比較器とから構成されている。これにより、電源電圧 $V_c$ が所定の電圧に達するまでは、帰還電圧変換回路22は起動しない。

【0039】本実施形態の特徴である軽負荷検出回路40は、基準電圧源41と、正相入力端子に帰還電圧変換回路22からの帰還電圧信号 $V_{CO}$ を受け、逆相入力端子に基準電圧源41からの基準電圧 $V_R$ を受ける軽負荷検出用比較器42と、一の入力端子に負荷検出用比較器42の出力信号 $V_{O1}$ を受け、他の入力端子に発振器21からのクロック信号 $CLK$ を受けるAND回路43とから構成されている。基準電圧源41は、軽負荷検出用比較器42の出力信号を受けて、基準電圧 $V_R$ の値が変更可能となるように構成されている。

【0040】軽負荷検出用比較器42は、入力される帰還電圧信号 $V_{CO}$ と基準電圧 $V_R$ とを比較して、帰還電圧信号 $V_{CO}$ が基準電圧 $V_R$ よりも大きい場合に、AND回路43に対してハイレベルの信号を出力する。逆に、帰還電圧信号 $V_{CO}$ が基準電圧 $V_R$ よりも小さい場合には、AND回路43に対してローレベルの信号を出力するため、RSフリップフロップ回路26の出力信号がローレベルとなるので、ゲートドライバ28からの制御信号 $V_g$ の出力を停止させることができる。

【0041】また、帰還電圧変換回路22の出力側には、帰還電圧信号 $V_{CO}$ の最大値をクランプするPNP型バイポーラトランジスタからなる過電流保護回路31が設けられており、帰還電圧信号 $V_{CO}$ がクランプ値を超える場合には、スイッチング素子12のソース端子 $T_s$ へ過電流を短絡させることにより、該スイッチング素子12を保護することができる。

【0042】本実施形態に係るスイッチング電源装置は、入力電圧 $V_{in}$ 及び出力電圧 $V_o$ の電圧値に制限はないが、一例として、入力電圧 $V_{in}$ の値を100V～200Vで、出力電圧 $V_o$ の値を25Vとすれば、一体化形成領域19を1パッケージ化又は1チップ化を図ることにより、スイッチング電源装置の部品点数を大幅に削減できるため、スイッチング電源装置のサイズも小さくでき、より小型化及び低価格化を実現することができる。

【0043】なお、スイッチング素子12にN型MOSFETを用いたが、代わりにNPN型バイポーラトラン

10

ジスタを用いてもよい。

【0044】以下、前記のように構成されたスイッチング電源装置の軽負荷時における動作について図面を参照しながら説明する。

【0045】図2は本実施形態に係るスイッチング電源装置の動作タイミングを表わしている。まず、図1において、制御回路18が起動するまでの間は、起動・停止回路30が内部回路電流供給回路29と制御用回路電源コンデンサ17の陽極とを接続するように閉じている。

【0046】次に、本電源装置が起動されて、主入力端子11に入力電圧 $V_{in}$ が印加されると、内部回路電流供給回路29から制御回路用電源コンデンサ17の陽極に電流が供給されて、制御回路18の電源電圧 $V_c$ が上昇する。この電源電圧 $V_c$ が制御回路15の起動電圧に達すると、制御回路18の動作が可能となるので、起動・停止回路30は、内部回路電流供給回路29と電源コンデンサ19との接続を切断する。このように、内部回路電流供給回路29が起動時にのみ動作するため、通常動作時における制御回路18の消費電力を抑えることができる。

【0047】次に、図2に示すように、通常動作期間 $t_1$ においては、基準電圧源41の基準電圧 $V_R$ の値は下限電圧値 $V_{R1}$ に設定されている。

【0048】その後、軽負荷となる負荷変動が生じて負荷電流 $I_o$ が減少するような、待機時への移行期間 $t_2$ においては、負荷15に対する電力供給が過剰となつて、出力電圧 $V_o$ の電圧値は若干上昇する。この出力電圧 $V_o$ の値が上昇することにより、制御回路18の電源電圧 $V_c$ が上昇すると共に、帰還信号 $I_{cc}$ の電流量が増大する。制御端子 $T_c$ に注入される帰還信号 $I_{cc}$ の電流量が増大して、制御端子 $T_c$ の電圧がシャントレギュレータ34の基準電位よりも高くなり、シャントレギュレータ34が動作すると、ゲイン調整用抵抗発生電圧 $V_{35}$ の値が徐々に高くなる。このゲイン調整用抵抗発生電圧 $V_{35}$ を受ける帰還電圧変換回路22において、比較器221からのP型MOSFET222のゲートに対する出力値が低下するため、P型MOSFET222は低インピーダンスとなり、該P型MOSFET222のドレイン電位が上昇し、該ドレイン電位をゲートに受ける第2のN型MOSFET224も低インピーダンスとなつて、該第2のN型MOSFET224のドレインから出力される帰還電圧信号 $V_{CO}$ の電圧値が低下する。このとき、ドレイン電流検出回路23から出力される素子電流検出信号 $V_{CL}$ の電圧値も低下する。このように、本実施形態に係るスイッチング電源装置は、スイッチング信号のパルス幅が負荷電流 $I_o$ により制御される、いわゆる電流モードのPWM制御方式を採る。

【0049】この帰還電圧信号 $V_{CO}$ を正相端子に受ける軽負荷検出用比較器42は、受けた帰還電圧信号 $V_{CO}$ の値が下限電圧値 $V_{R1}$ よりも小さくなると、AND



(7)

11

回路43に対してローレベルの信号を出力するため、スイッチング信号制御回路25のゲートドライバ28がローレベルの制御信号 $V_g$ のみを出力して、スイッチング素子12のスイッチング動作が停止する。これとほぼ同時に、軽負荷検出用比較器42のローレベルの出力信号を受けて基準電圧源41の出力電圧 $V_R$ は、下限電圧値 $V_{R1}$ から上限電圧値 $V_{R2}$ に変更されて、スイッチング動作停止期間 $t_3$ となる。

【0050】スイッチング動作停止期間 $t_3$ においては、出力電圧生成回路16に対して電力の供給が行なわれなくなるため、負荷15への電力供給が出力コンデンサ133からのみ行なわれるようになるので、出力電圧 $V_o$ は徐々に低下する。これにより、出力電圧検出回路16を経て制御端子 $T_c$ に注入される帰還信号 $I_{cc}$ の電流量が低下して、シャントレギュレータ34の出力値も減少するため、ゲイン調整用抵抗発生電圧 $V_{35}$ の値も低くなる。これにより、今度は逆に、帰還電圧変換回路22からの帰還電圧信号 $V_{CO}$ が徐々に上昇するが、基準電圧源41の出力電圧 $V_R$ は、下限電圧 $V_{R1}$ よりも高い上限電圧 $V_{R2}$ に設定されているため、図3に示すように、スイッチング素子12によるスイッチング動作が直ちに再開されることがない。

【0051】さらに、出力電圧 $V_o$ が低下して、逆に帰還電圧信号 $V_{CO}$ が上限電圧値 $V_{R2}$ を越えると、軽負荷検出用比較器42からの出力信号が再びハイレベルとなるため、これを受けるAND回路43はハイレベルの出力信号を出力できるようになるので、スイッチング素子12のスイッチング動作が再開されて、スイッチング動作再開期間 $t_4$ に遷移する。この遷移の直後に、軽負荷検出用比較器42のハイレベルの出力信号を受けて基準電圧源41の出力電圧 $V_R$ は、上限電圧値 $V_{R2}$ から下限電圧値 $V_{R1}$ に再設定される。

【0052】スイッチング動作再開期間 $t_4$ において、スイッチング素子12によるスイッチング動作が再開されると、スイッチング素子12に流れるドレイン電流 $I_d$ は、軽負荷検出時の電流値よりも大きくなっているため、負荷15への電力供給が過剰となって、再び出力電圧 $V_o$ が上昇し、帰還電圧変換回路22からの帰還電圧信号 $V_{CO}$ が低下する。従って、前述したように、帰還電圧信号 $V_{CO}$ が下限電圧値 $V_{R1}$ よりも小さくなると、スイッチング素子12に対するスイッチング信号の出力を再度停止する。

【0053】本実施形態においては、基準電圧源41から出力される基準電圧 $V_R$ が軽負荷状態を検出することによりスイッチング動作を停止し、さらに、基準電圧 $V_R$ を下限電圧値 $V_{R1}$ から上限電圧値 $V_{R2}$ へと変更することにより、帰還電圧信号 $V_{CO}$ が上昇しても、直ちにスイッチング動作が開始されることがないように基準電圧 $V_R$ にヒステリシス特性を与えている。これにより、軽負荷又は無負荷を検出している間は、スイッチン

12

グ素子12に対するスイッチング制御は、スイッチング動作の停止と再開とが繰り返される間欠発振状態となる。

【0054】なお、出力電圧 $V_o$ は、間欠発振状態のスイッチング動作停止期間 $t_3$ で低下するが、この低下の度合いは負荷電流 $I_o$ に依存する。すなわち、負荷電流 $I_o$ が小さくなる程、出力電圧 $V_o$ の低下が緩やかになる。

【0055】また、間欠発振状態におけるスイッチング動作停止期間 $t_3$ は、負荷電流 $I_o$ が小さくなる程長くなる。すなわち、軽負荷になる程スイッチング素子12のスイッチング動作が減少することになる。

【0056】ここで、スイッチング素子12の動作を停止又は再開させる軽負荷検出電圧値の設定方法を説明する。軽負荷検出電圧値を高く設定し過ぎると、コイル132に音なりが発生する。一方、軽負荷検出電圧値を低く設定し過ぎると間欠動作状態（間欠モード）に遷移しにくくなる。このため、最適な軽負荷検出電圧値はこれらのトレードオフによって決まることになる。従って、一の軽負荷検出電圧である下限電圧値 $V_{R1}$ を、スイッチング素子12に流れるドレイン電流 $I_d$ を規制する過電流保護電圧の約15%とし、他の軽負荷検出電圧値である上限電圧値 $V_{R2}$ を過電流保護電圧の約20%とすることが好ましい。

【0057】また、電源効率の点では、例えば出力が1Wのスイッチング電源装置を例に採ると、従来方式では消費電力が2.2Wで電源効率が45%程度であったが、本実施形態に係る電源装置では消費電力が1.2Wで電源効率が83%となり、低消費電力で且つ高効率が確実に達成されることを確認している。

【0058】また、本実施形態に係るスイッチング電源装置は、一体化形成領域19に、制御回路18及びスイッチング素子12を含むため、1つのパッケージに収容したり、半導体集積回路として1チップ化することも容易に行なえるので、部品点数を大幅に削減できるため、コストの低減も容易となる。

【0059】なお、図1に示した出力電圧検出回路16及び帰還電圧変換回路22の回路構成は、これらに限定されるものではなく、同等の機能を有する回路構成であれば良い。

【0060】（第1変形例）以下、本発明の一実施形態の第1変形例について図面を参照しながら説明する。

【0061】図4は本発明の一実施形態の第1変形例に係るスイッチング電源装置の概略的な回路構成を示している。図4において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0062】図4に示すように、第1の変形例に係るスイッチング電源装置は、一端が一体化形成領域19の端部に設けられた軽負荷検出電圧調整用端子 $T_R$ を介して、軽負荷検出用比較器42の逆相入力端子と接続さ

(8)

13

れ、他端がソース端子T<sub>s</sub>と接続された検出電圧可変手段としての軽負荷検出電圧調整用抵抗器51を有している。

【0063】このように、一体化形成領域19の外部に設けられた軽負荷検出電圧調整用抵抗器51により、スイッチング素子12及び制御回路18が一体化されている場合であっても、軽負荷検出回路40の下限電圧値V<sub>R1</sub>又は上限電圧値V<sub>R2</sub>を電源装置の用途に応じて変更できるようになる。

【0064】なお、本変形例においては、軽負荷検出電圧調整用抵抗器51を一体化形成領域19の外部に設けているが、該一体化形成領域19の内部に設けても良い。軽負荷検出電圧調整用抵抗器51を一体化形成領域19に設けた場合には、抵抗値の調整はレーザトリミング法等のトリミング技術により行なうと良い。

【0065】(第2変形例)以下、本発明の一実施形態の第2変形例について図面を参照しながら説明する。

【0066】図5は本発明の一実施形態の第2変形例に係るスイッチング電源装置の概略的な回路構成を示している。図5において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0067】図5に示すように、第2変形例に係るスイッチング電源装置は、電圧変換回路13Aの構成が図1及び図4のスイッチング電源装置における電圧変換回路13の構成と異なっている。

【0068】すなわち、電圧変換回路13Aは、第1のダイオード131がスイッチング素子12のソースと出力端子14Aとの間で且つその陰極がソースと接続されるように直列に接続され、コイル132が第1のコンデンサ133と並列で且つソースと第1のダイオード131の陰極側に接続されている。

【0069】このような電圧変換回路13Aの構成を採ることにより、主入力端子11の極性を変えることなく、主出力端子14Aの極性を負極性とすることができるため、負極性の制御電圧源を必要とするシステムにおいても、スイッチング素子12及び制御回路18を有する一体化形成領域19上の各回路の構成を変えることなく、負極性電圧源を実現できる。

【0070】なお、第2変形例においても、第1変形例に係る軽負荷検出電圧調整用抵抗器51を設けてもよい。

【0071】また、本発明の実施形態及び各変形例において、入力電圧V<sub>in</sub>は直流電圧を想定している。従って、例えば、交流電圧を入力する場合には、入力される交流電圧を直流電圧に整流してから入力すればよい。

【0072】

【発明の効果】本発明に係るスイッチング電源装置によると、制御回路の電源電圧の値が上限値よりも大きい場合にはスイッチング信号制御回路に対してスイッチング信号の出力を停止し、制御回路の電源電圧の値が下限値

14

よりも小さい場合にはスイッチング信号制御回路に対してスイッチング信号の出力を開始する軽負荷検出回路を有しているため、軽負荷時にはスイッチング素子のスイッチング動作が停止して、スイッチング素子における損失が減るので、その結果、軽負荷時の消費電力を削減でき、電力効率を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るスイッチング電源装置を示す概略的な回路図である。

【図2】本発明の一実施形態に係るスイッチング電源装置の動作を示すタイミングチャートである。

【図3】本発明の一実施形態に係るスイッチング電源装置における軽負荷検出用比較器に用いる基準電圧を示すタイミングチャートである。

【図4】本発明の一実施形態の第1変形例に係るスイッチング電源装置を示す概略的な回路図である。

【図5】本発明の一実施形態の第2変形例に係るスイッチング電源装置を示す概略的な回路図である。

【図6】従来のスイッチング電源装置を示す概略的な回路図である。

【図7】従来のスイッチング電源装置の動作を示すタイミングチャートである。

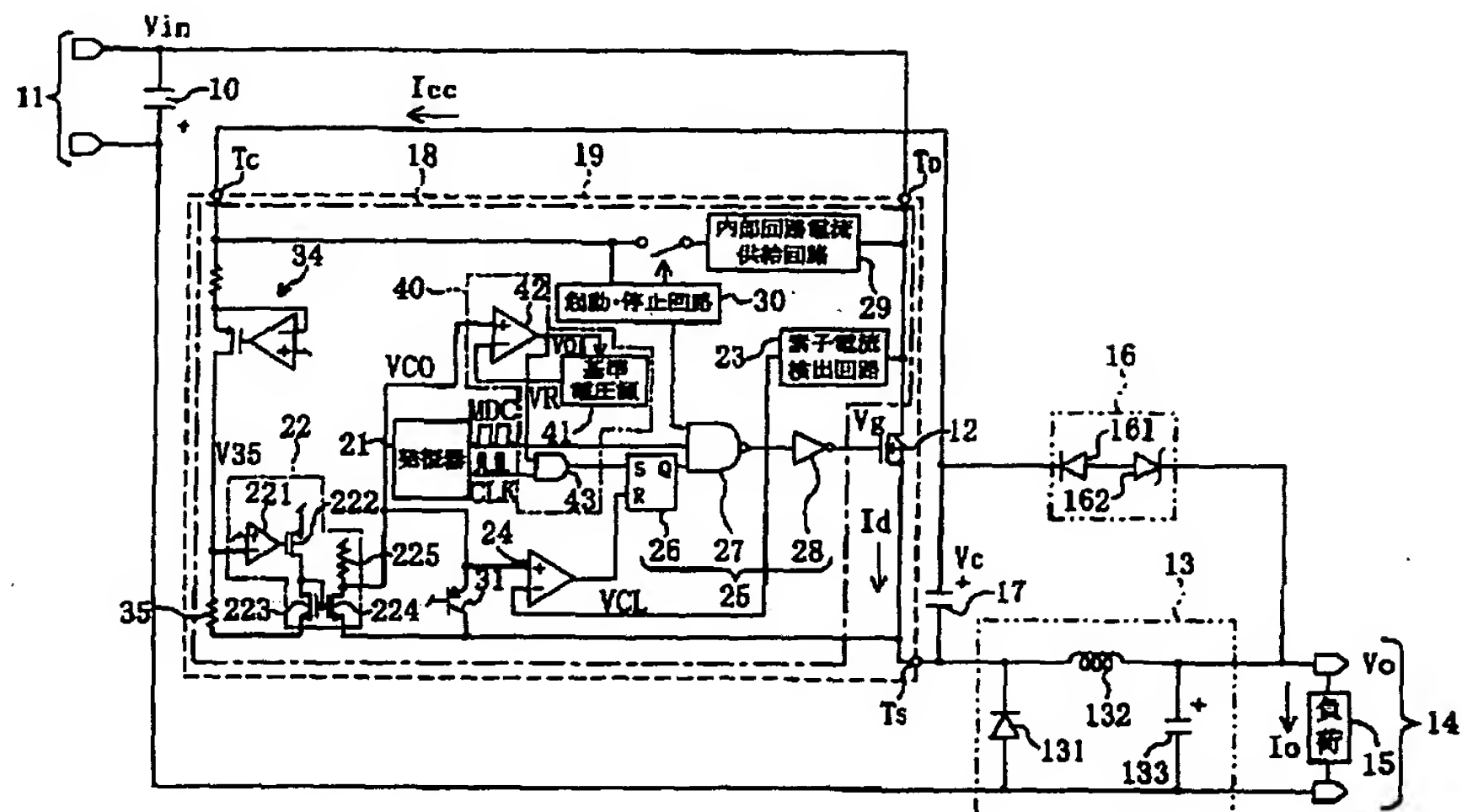
【符号の説明】

- 10 平滑コンデンサ
- 11 主入力端子
- 12 スwitchング素子
- 13 電圧変換回路
- 131 第1のダイオード
- 132 コイル
- 133 コンデンサ
- 13A 電圧変換回路
- 14 主出力端子
- 14A 主出力端子
- 15 負荷
- 16 出力電圧検出回路
- 161 第2のダイオード
- 162 ツェナーダイオード
- 17 制御回路用電源コンデンサ
- 18 制御回路
- 19 一体化形成領域
- 21 発振器
- 22 帰還電圧変換回路
- 221 比較器
- 222 P型MOSFET
- 223 第1のN型MOSFET
- 224 第2のN型MOSFET
- 225 抵抗器
- 23 素子電流検出回路
- 24 素子電流検出用比較器
- 25 スwitchング信号制御回路

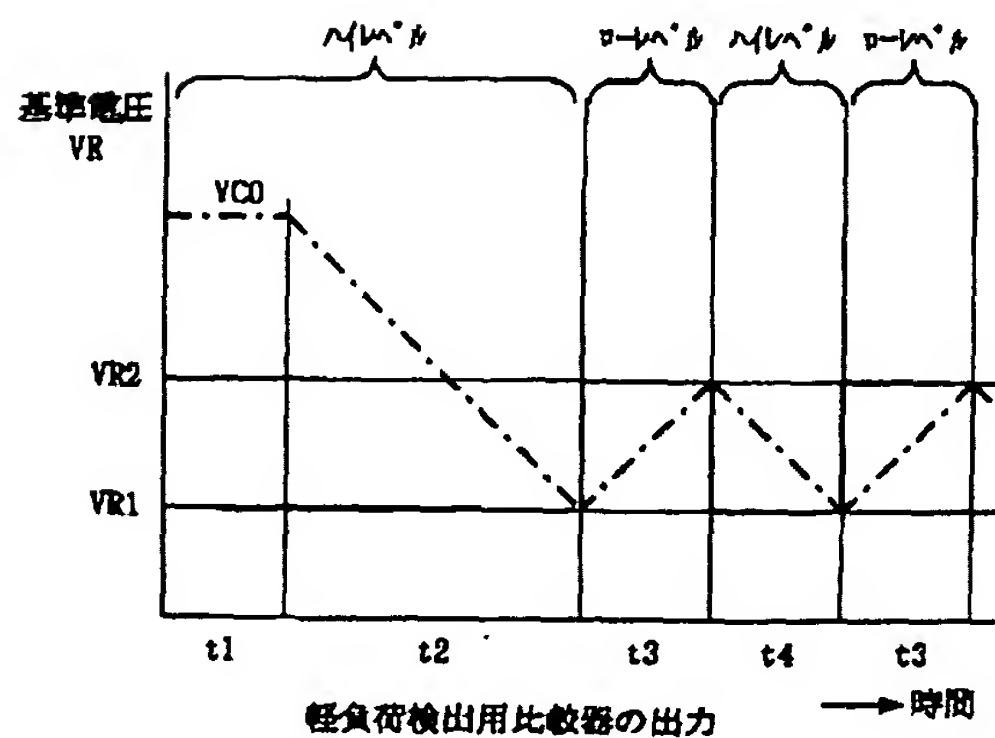
(9)

- |   |  |
|---|--|
| <p>15</p> <p>26 RSフリップフロップ回路</p> <p>27 NAND回路</p> <p>28 ゲートドライバ</p> <p>29 内部回路電流供給回路</p> <p>30 起動・停止回路</p> <p>31 過電流保護回路</p> <p>34 シャントレギュレータ</p> <p>35 ゲイン調整用抵抗器</p> <p>40 軽負荷検出回路</p> <p>41 基準電圧源</p> <p>42 軽負荷検出用比較器</p> | <p>16</p> <p>43 AND回路</p> <p>51 軽負荷検出電圧調整用抵抗器 (検出電圧可変手段)</p> <p>Ts ソース端子</p> <p>TD ドレイン端子</p> <p>Tc 制御端子</p> <p>TR 軽負荷検出電圧調整用端子</p> <p>t1 通常動作期間</p> <p>t2 待機時への移行期間</p> <p>t3 スwitching動作停止期間</p> <p>t4 スwitching動作再開期間</p> |
|---|--|

【図1】



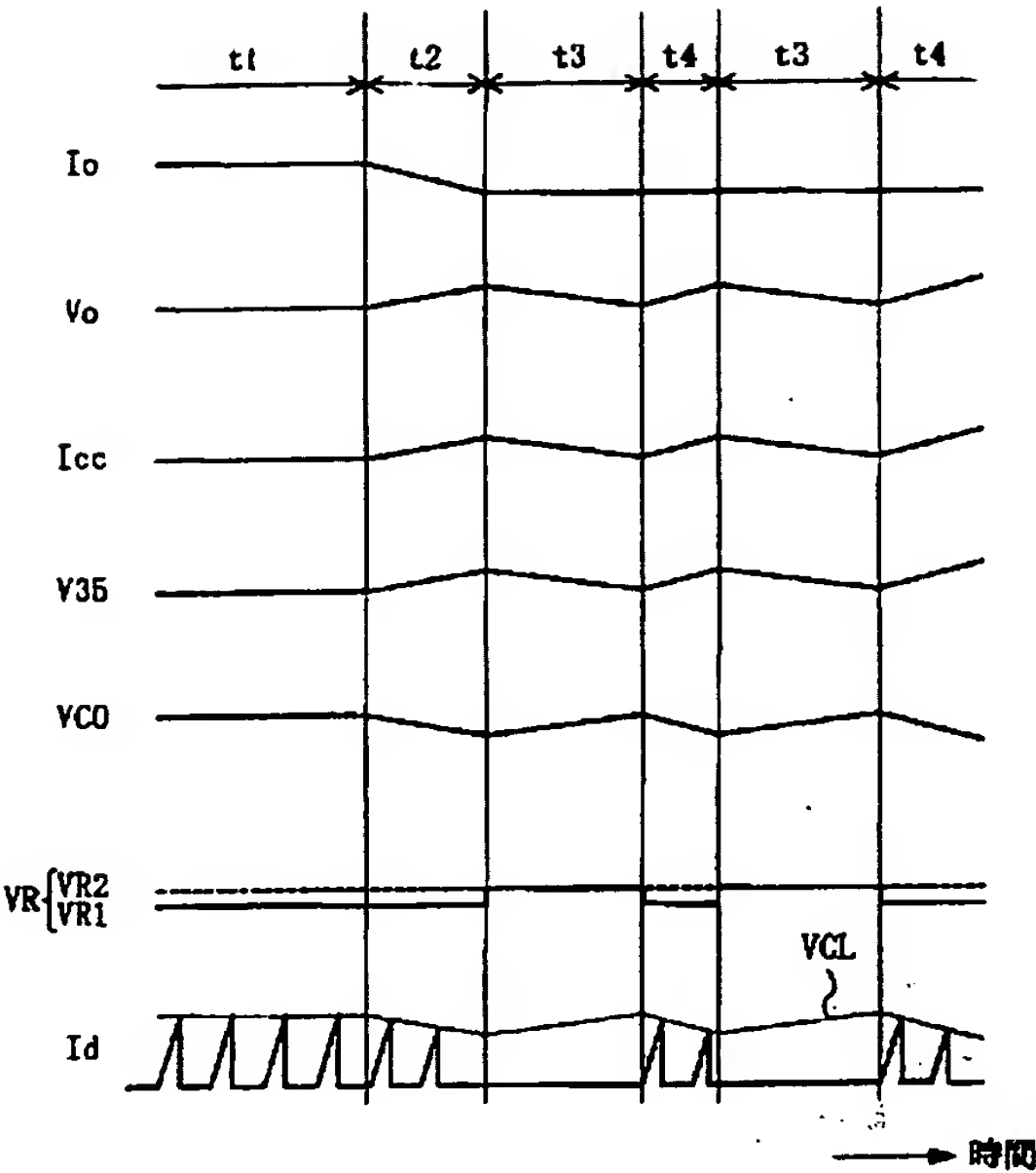
【図3】



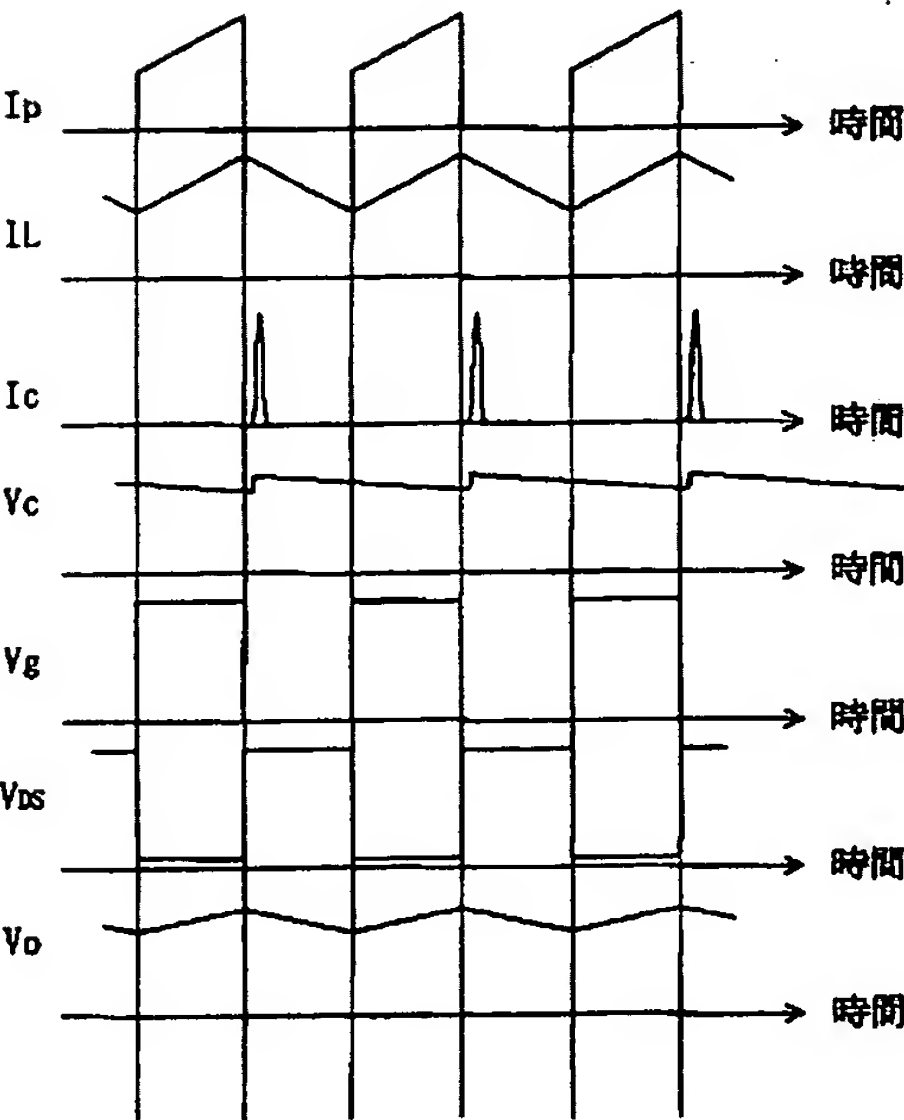


(10)

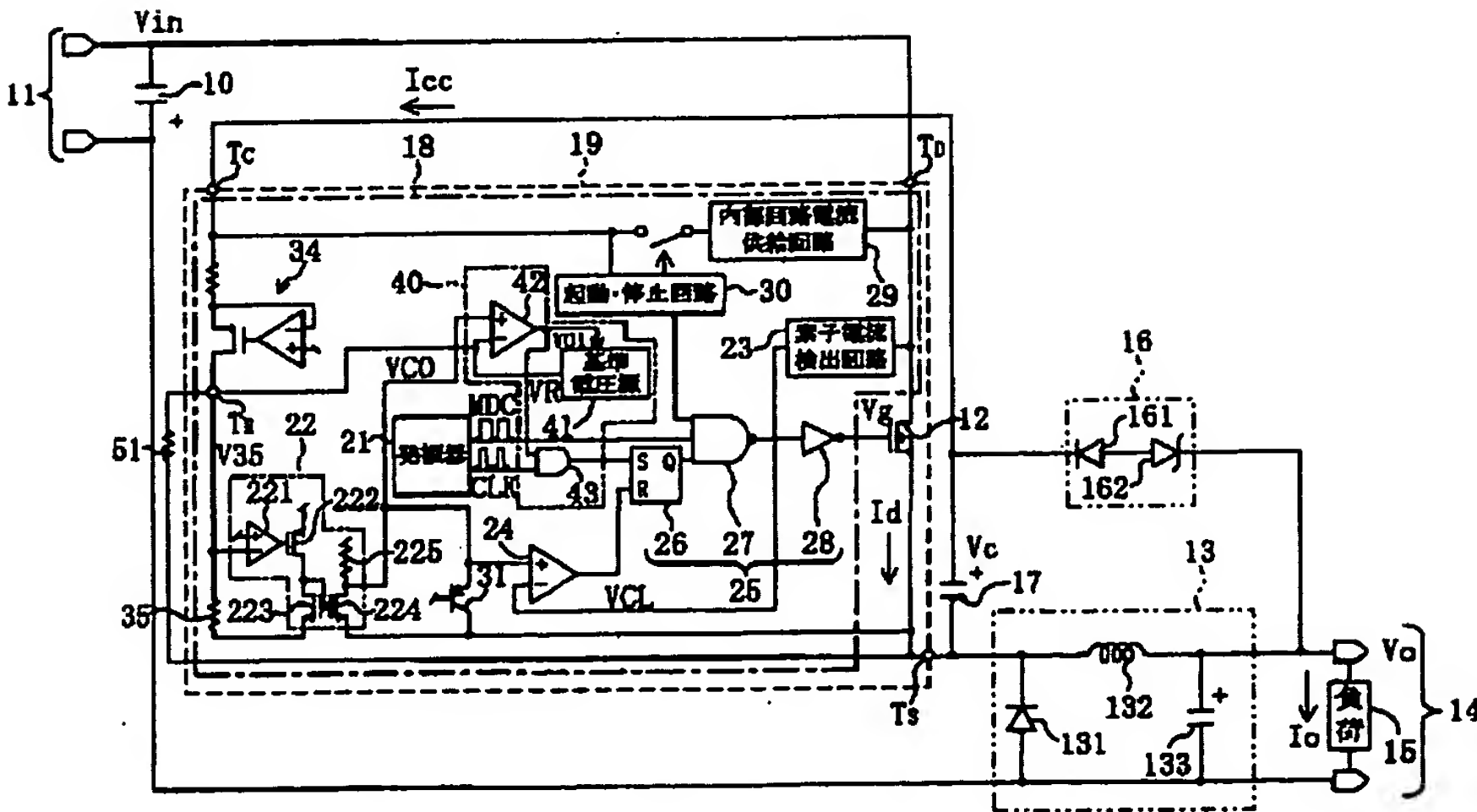
【図2】



【図7】

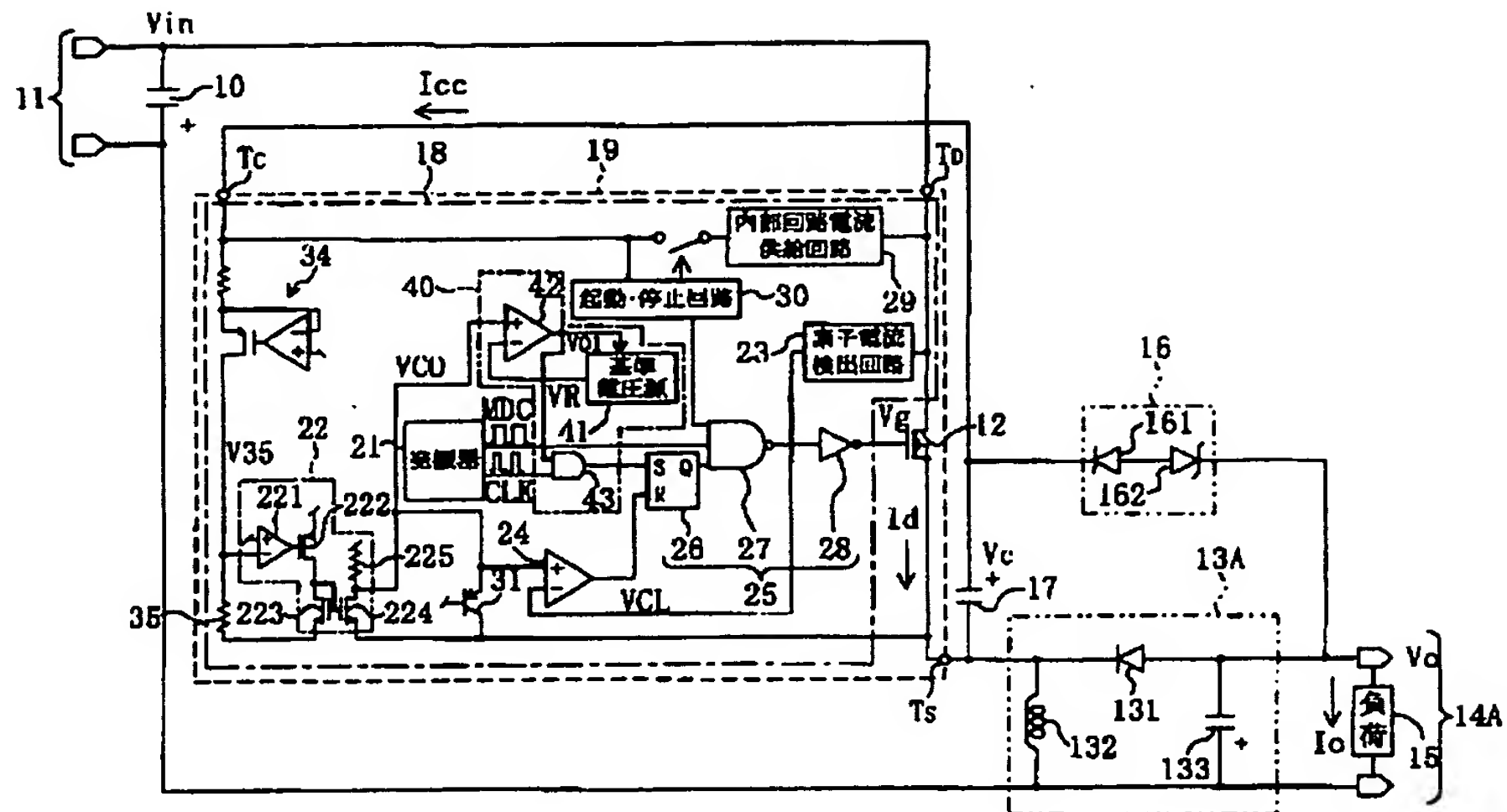


【図4】

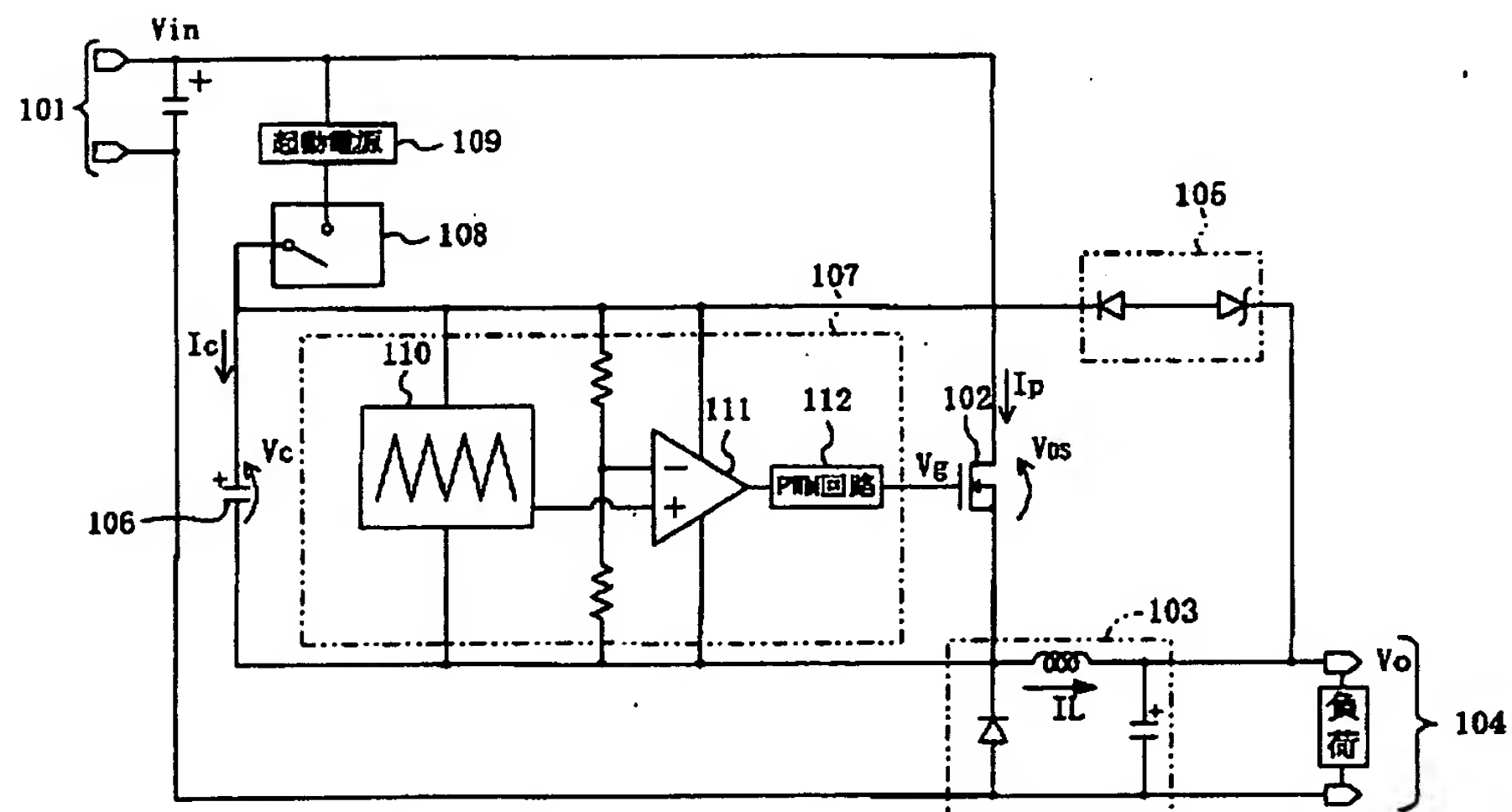


(11)

【図5】



【図6】



フロントページの続き

(72) 発明者 ▲高▼田 浩司  
大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 塩見 陽  
大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 高橋 理  
大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 森 吉弘  
大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 山西 雄司  
大阪府高槻市幸町1番1号 松下電子工業株式会社内

Fターム(参考) 5H730 AA14 AS05 BB13 DD04 DD21  
FD01 FD41 FG01 XX03 XX23  
XX44